

DIALOG(R) File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

02039459    \*\*Image available\*\*  
MICROPROCESSOR

PUB. NO.:        61-253559 [JP 61253559 A]  
PUBLISHED:      November 11, 1986 (19861111)  
INVENTOR(s):    HIRANO SHIGEAKI  
APPLICANT(s):   NEC CORP [000423] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      60-095029 [JP 8595029]  
FILED:          May 02, 1985 (19850502)  
INTL CLASS:     [4] G06F-012/00; G06F-012/02; G06F-012/06  
JAPIO CLASS:    45.2 (INFORMATION PROCESSING — Memory Units)  
JAPIO KEYWORD: R131 (INFORMATION PROCESSING — Microcomputers &  
                  Microprocessors)  
JOURNAL:        Section: P, Section No. 562, Vol. 11, No. 103, Pg. 129, April  
                  02, 1987 (19870402)

#### ABSTRACT

PURPOSE: To attain easily a system where the highest performance is secured with a microprocessor by providing a mechanism into the microprocessor to control the cycle length of an external memory and at the same time setting the information on the optional cycle length to an optional address space by a program.

CONSTITUTION: An address generating part 11 produces a logic address 20 by the address generating information sent from an instruction control part 10 in a microprocessor 1 and sends the address 20 to a memory control mechanism 12. This mechanism 12 stores plural pieces of address describers and selects an address describer corresponding to the address 20 to deliver a physical address 21 and the memory waiting information 32. The address 21 is sent to external memories 2 and 3 via a memory bus 4; while the information 32 is sent to a timing control part 13. The part 13 outputs a memory mode signal 15 and a strobe signal 16 to outside by the information 32 and based on a clock (.phi.) 14 supplied from outside.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-253559

⑬ Int.Cl.<sup>4</sup>

G 06 F 12/00  
12/02  
12/06

識別記号

庁内整理番号

D-6711-5B  
D-6711-5B  
F-6711-5B

⑭ 公開 昭和61年(1986)11月11日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 マイクロプロセッサ

⑯ 特 願 昭60-95029

⑰ 出 願 昭60(1985)5月2日

⑱ 発 明 者 平 野 成 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 草 野 卓

# 明 細 書

## 1. 発明の名称

マイクロプロセッサ

## 2. 特許請求の範囲

(1) 論理アドレスに対応する物理アドレス情報と、その物理アドレス空間の外部メモリのメモリサイクルの長さを示す情報とを有するアドレス記述子を複数個収容し、メモリアドレス生成部にて生成された論理アドレスに対応するアドレス記述子を選択し、その選択したアドレス記述子の物理アドレス情報をもとに論理アドレスを物理アドレスに変換するメモリ管理機構と、そのメモリ管理機構にて選択されたアドレス記述子が有するメモリサイクルの長さを示す情報によりメモリサイクルのクロック数を制御する手段とを有するマイクロプロセッサ。

## 3. 発明の詳細な説明

### 「産業上の利用分野」

この発明は外部メモリをその速度に応じて制御するマイクロプロセッサに関するものである。

### 「従来の技術」

従来のマイクロプロセッサは例えばメモリサイクル中に外部から入力されるW A I T信号がアクティブの間(入力されている間)はメモリサイクルのクロック数を延長し、メモリサイクル中にW A I T信号が全くアクティブとならなければ(入力されていない場合)マイクロプロセッサが有する規定のクロック数だけメモリサイクルを実行するようにしていた。つまりマイクロプロセッサによる外部メモリのメモリサイクル長の制御は、外部信号を生成する外部回路により行なわれていた。

### 「発明が解決しようとする問題点」

上述した従来のマイクロプロセッサは、外部信号によりメモリのサイクル長を制御するため、速度が異なるメモリが混在するデータ処理装置では、外部にてマイクロプロセッサが出力するメモリアドレスをデコード(解説)し、各アドレス空間に対応するメモリの速度に合わせたW A I T信号の制御を行なう必要があつた。マイクロプロセッサ

が高速になると外部にてメモリアドレスをデコードしW A I T信号を生成する時間が問題となり、特にW A I T(待ち)時間がゼロの高速メモリを混在したシステムでは、W A I T(待ち)をゼロとする制御が困難となる。

そこでこの発明の目的は、マイクロプロセッサ内にて外部メモリのサイクル長を制御する機構を設け、且つプログラムにより任意のアドレス空間に対する任意のサイクル長情報をセプト可能とすることにより、マイクロプロセッサの最高性能のシステムの構築を容易としたマイクロプロセッサを提供することにある。

#### 「問題点を解決するための手段」

この発明のマイクロプロセッサでは、論理アドレスに対応する物理アドレス情報と、その物理アドレス空間の外部メモリのメモリサイクルの長さを示す情報とを有するアドレス記述子がメモリ管理機構に複数個収容され、そのメモリ管理機構はメモリアドレス生成部にて生成された論理アドレスに対応するアドレス記述子を選択し、その選択

バス4を介して外部メモリ2, 3に送られ、メモリのW A I T情報32はタイミング制御部13に送られる。タイミング制御部13は外部から与えられるクロック( $\phi$ )14を基準とし、W A I T情報32によりM E M(メモリモード)信号15、S T B(ストロブ)信号16を第4図に示すように外部に出力する。

第4図はこの実施例のマイクロプロセッサ1が外部メモリをアクセスする場合のタイムチャートを示す。マイクロプロセッサ1の規定のメモリサイクルは第4図Aの基準クロック $\phi$ 中の $T_1$ 、 $T_2$ 、 $T_3$ の3クロックである。第4図は規定の3クロックのメモリサイクルを5クロックに延長した場合を示す。物理アドレス21は第4図Bに示すようにクロック $T_1 \sim T_5$ の間アドレスバスに出力されるメモリバス4上ではメモリ管理機構12からの物理アドレス21をメモリサイクル中出力し、外部メモリから読出す場合は第4図Eに示すように $T_5$ のタイミングでデータを引取り、外部メモリに書き込む場合は第4図Fに示すようにメモリサイク

したアドレス記述子の物理アドレス情報をもとに論理アドレスを物理アドレスに変換し、またそのメモリ管理機構にて選択されたアドレス記述子が有するメモリサイクルの長さを示す情報によりメモリサイクルのクロック数が制御される。

#### 「実施例」

次にこの発明について実施例を示して説明する。

第1図はこの発明の実施例のマイクロプロセッサ1の構成と、外部メモリ2, 3とがメモリバス4を介して接続されたシステム構成を示す。マイクロプロセッサ1内の命令制御部10はマイクロプロセッサ1の命令を制御する部分であり、命令制御部10から送出されるアドレス生成情報によりアドレス生成部11は論理アドレス20を生成してメモリ管理機構12に送る。メモリ管理機構12はこの発明では例えば第2図に示すアドレス記述子を複数個収容し、論理アドレス20に対応するアドレス記述子を選択して物理アドレス21(この生成は後述する)、メモリのW A I T情報(W N)32を出力する。物理アドレス21はメモリ

ル中書き込データを出力する。M E M(メモリモード)信号15(第4図C)はメモリサイクル中メモリアクセスを示す状態を保ち、S T B(ストロブ)信号16(第4図D)はメモリバス4上のアドレス、データを保証するクロックとして外部に出力する。

メモリ管理機構12の構成例として第3-a図の方式と、第3-b図の方式とを説明する。第3-a図の場合は論理アドレス20の内容を、アドレス記述子テーブル30の中のアドレス記述子番号(D N)と変位(displacement)情報(d)とに分解し、アドレス記述子番号D Nによりアドレス記述子テーブル30を読出し、これにより選択されたアドレス記述子の物理ベースアドレス(P B A)31と変位情報(d)とを加算器50にて加算して物理アドレス21を生成する。またアドレス記述子テーブル30からのメモリのW A I T情報(W N)32が読出される。

第3-b図の場合は論理アドレス20を論理タグ(L T A G)と変位(displacement)情報(d)

とに分解し、アドレス記述子テーブル30はそれに対応する論理タグ(LTAG)テーブル40と対をなし連想メモリ構成になっている。論理アドレス20の論理タグ(LTAG)が論理タグテーブル40上に登録されているか照合され、登録されている場合は対応するアドレス記述子テーブル30より物理ベースアドレスPBA31及びWAIT情報WN32が読出され、物理アドレス21はその物理ベースアドレスPBA31と変位(displacement)情報(d)との合成により生成される。

外部メモリ2, 3は各々性能が異なり、各々のメモリサイクルのクロック数を例えば「3」、「5」とすると外部メモリ2の物理アドレス空間に対応するアドレス記述子のWAIT情報(WN)32は「0」を、外部メモリ3の物理アドレス空間に対応するアドレス記述子のWAIT情報(WN)32は「2」を各々プログラムによりセットする。従つて外部メモリ3をアクセスする場合は第4図に示したようにクロック $T_1 \sim T_5$ 中にクロック $TW_1, TW_2$ が挿入されメモリサイクル長は

ク図、第2図はマイクロプロセッサが有するアドレス記述子の構成例を示す図、第3-a, 第3-b図はそれぞれマイクロプロセッサ中のメモリ管理機構の構成例を示すブロック図、第4図はこの発明の実施例のマイクロプロセッサが外部メモリをアクセスする場合の動作例を示すタイムチャートである。

1: マイクロプロセッサ、2: 外部メモリ、3: 外部メモリ、4: メモリバス、10: 命令制御部、11: アドレス生成部、12: メモリ管理機構、13: タイミング制御部、14: クロック、15: MEM信号、16: STB信号、20: 論理アドレス、21: 物理アドレス、30: アドレス記述子テーブル、31: 物理ベースアドレス(PBA)、32: WAIT情報(WN)、40: 論理タグ(LTAG)テーブル、50: 加算器。

特許出願人 日本電気株式会社

代理人 草野 卓

5クロックとなる。外部メモリ2がアクセスされる場合はクロック $T_1 \sim T_5$ 中にクロック $TW_1$ は挿入されずメモリサイクル長は3クロックとなる。

かようにしてマイクロプロセッサ1は各々性能が異なる外部メモリ2, 3を混在させたシステムを制御することができる。

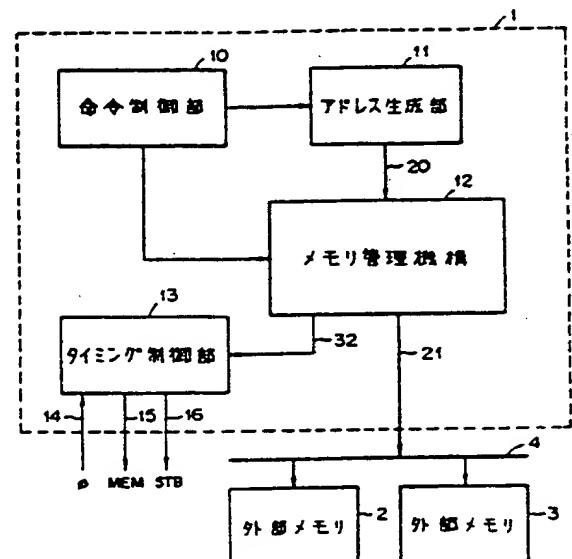
#### 「発明の効果」

以上に説明したようにこの発明のマイクロプロセッサは外部メモリの物理アドレス空間に対応するアドレス記述子に、その外部メモリのサイクル長の情報を持たせることにより、プロセッサ内にて外部メモリのメモリサイクル長の制御が可能となり、外部に前述のWAIT信号を生成する回路が不要となると共に、外部回路のオーバーヘッドの一要因が除去され、マイクロプロセッサが有する最高性能を引出すシステムの構築を容易とすることができる。

#### 4. 図面の簡単な説明

第1図はこの発明の実施例のマイクロプロセッサの構成と外部メモリとの接続構成を示すブロック図

第1図



第2図

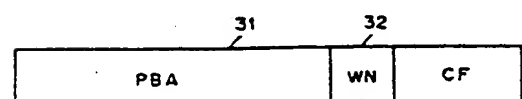


図3-a

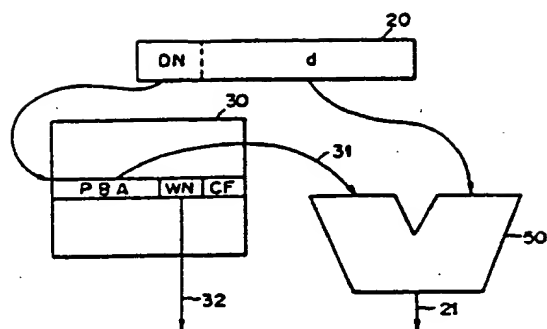


図3-b

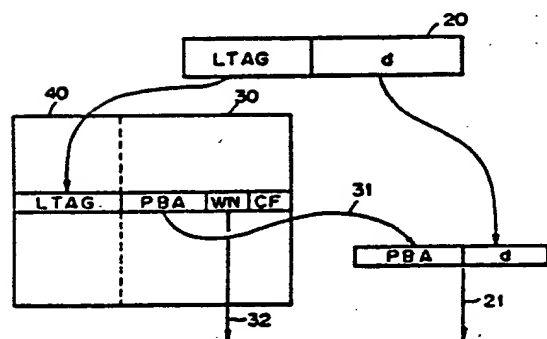


図4

